

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-113209

(43)Date of publication of application : 01.05.1989

(51)Int.Cl.

B28D 5/00  
H01L 21/78  
H01L 33/00

(21)Application number : 62-271310

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.10.1987

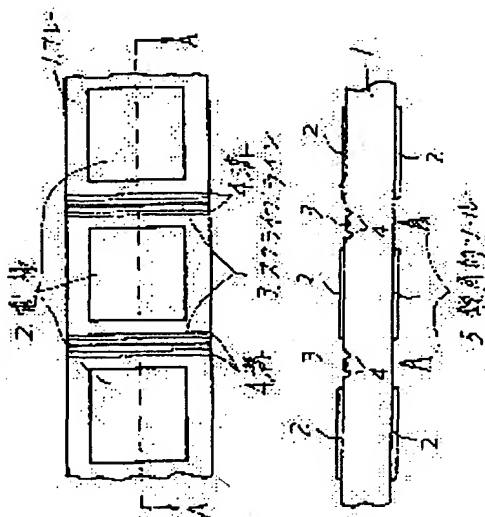
(72)Inventor : KANEKO TOSHIAKI  
ISHIYAMA TAKEO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To stably produce the shape of a ship with good reproducibility by a method wherein grooves are formed with a scribing line on an array between, and load is applied by pressing an acute-edged tool against the array from below or the reverse side of the scribing line.

CONSTITUTION: Grooves 4 are formed with a scribing line 3 on a semiconductor crystal array, on which electrodes 2 are formed after the completion of epitaxial growth, between. After that, the chip formation is done through the application of load by pressing an acute-edged tool 5 against the array from below or the reverse side of the scribing line 3. Due to the action of the grooves on both sides of the scribing line, the crystal surface, which is cloven by applying load with the acute-edged tool to the surface of the array on the reverse side of the surface having the scribing line thereon, is kept within the range between the grooves on both sides of the scribing line or does not come outside said range between the grooves during ship formation, even when there are damages, which run in various directions, just below the scribing line. Further, even when the damages extend further during ship formation, the damages gather to positions, which end to the bottoms of the grooves.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## ⑫ 公開特許公報(A)

平1-113209

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)5月1日

B 28 D 5/00  
H 01 L 21/78  
33/00A-7366-3C  
T-8831-5F  
A-7733-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭62-271310

⑰ 出 願 昭62(1987)10月27日

⑱ 発 明 者 金 子 敏 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑱ 発 明 者 石 山 武 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地  
⑲ 代 理 人 弁理士 井 柝 貞一

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

半導体結晶のチップ化において、溝状に形成されたスクライブ・ライン3を挟み両側に溝4を形成し、鋭角的ツール5を該スクライブ・ライン3の形成された面と反対側の面において該スクライブ・ライン3の深さ方向の延長上に当て、加重することによりチップ化を行うことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## 〔概要〕

半導体発光装置の製造方法に係り、特に半導体発光装置用半導体結晶のチップ化に関し、

チップの形状を安定に再現性よく作ることを目的とし、

アレー上のスクライブ・ラインを挟み両側に溝

を形成し、鋭角的ツールをスクライブ・ラインの反対側アレー下に当て、加重することによりチップ化を行う構成とする。

## 〔産業上の利用分野〕

本発明は半導体発光装置の製造方法に係り、特に半導体発光装置用半導体結晶のチップ化に関する。

## 〔従来の技術〕

レーザダイオードあるいは端面発光ダイオードの製造工程において、アレーをチップ化する時、結晶の劈開を使用する方法が主流である。

第2図は端面発光ダイオードを例とした従来のチップ化の方法である。前もってウエーハ上にダイヤモンドツールによるスクライブ・ライン3が形成される。エピタキシャル成長を終えて電極2の形成されたアレー1をチップ化する際に、スクライブ・ライン3の形成された面と反対側のアレー面に、剃刀の刃のような鋭角的ツール5をあて、

加重することによりチップ化する。

ダイヤモンドツールにより形成されたスクライブ・ラインはその深さ方向の結晶内部にいわゆるスクライブ・ダメージを与え、このスクライブ・ダメージはアレー1面に必ずしも垂直ではなく、更にウエーハが全面にわたって水平でもないため、第3図(b)に示すようにダメージはいろいろな方向に走っていて、チップ化の時、必ずしもスクライブ・ラインから垂直に割れが入らず、完全な直方体とはなりにくく、更に疵が発光領域近くまで延びる等の問題があった。

#### (発明が解決しようとする問題点)

スクライブ・ダメージが必ずしもアレー面に対して垂直でないで、チップ化の時ダメージの影響を必要領域内に閉じこめて、チップの形状を安定に再現性よく作る方法を提供する。そのためにスクライブ・ラインを挟む形にアレー上に溝を掘り、両側の隣接チップへダメージの影響が及ぶのを阻止しようとするものである。

#### (実施例)

以下本発明の実施例について説明する。

1.3  $\mu\text{m}$  帯の発光装置としてInP 基板に形成された発光装置のアレーにおいて、チップのピッチは300  $\mu\text{m}$ 、結晶の厚さはエピタキシャル成長層も加えて約100  $\mu\text{m}$ とする。スクライブ・ラインは幅3乃至4  $\mu\text{m}$ 、深さ3乃至4  $\mu\text{m}$ で、ライン両側に幅20乃至30  $\mu\text{m}$ 、深さ10  $\mu\text{m}$ ほどのメサ溝を掘る。スクライブ・ラインの形成されたアレー面と反対側のアレー面に当てられた剃刀の刃からの加重で劈開される縦方向の面はメサ溝外へは漏れない。またダメージもメサ溝底部へ到達する点で集結する。本例はInP系であるが、劈開性を持つ結晶であればGaAs系、GaP系等、化合物半導体材料全般に適用可能である。溝は本例ではメサ形であるが、V字形、U字形、逆メサ形、矩形のいずれでも効果はあり、適用可能である。また、エッチャントによっては溝の斜面の角度を選択できるが、それもスクライブ・ラインの両側にあれば基本的に同様の効果を示す。

#### (問題点を解決するための手段)

第1図は本発明によるチップ化の方法である。エピタキシャル成長を終えて電極2の形成された半導体結晶のアレー1上のスクライブ・ライン3を挟み両側に溝4を形成し、鋭角的ツール5をスクライブ・ラインの反対側アレー下に当て、加重することによりチップ化を行う。かくすることにより、上記問題点は解決される。

#### (作用)

スクライブ・ラインの両側の溝の作用により、スクライブ・ライン直下にいろいろな方向に走っているダメージがあっても、チップ化の際、スクライブ・ラインの形成された面と反対側のアレー面への鋭角的ツールの加重で劈開される結晶面は、スクライブ・ラインの両側の溝の間に収まり溝外へは漏れない。また、チップ化の際、ダメージが更に延びたとしても、第3図(a)に示すように溝の底部へ到達する点で集結する。

#### (発明の効果)

上述の如く本発明によれば、チップ化のためのスクライブ・ラインを挟んで形成された溝の作用により、チップ形状を安定に再現性よく作ることが出来る。

#### 4. 図面の簡単な説明

第1図は本発明によるチップ化、

第2図は従来のチップ化、

第3図はスクライブ・ダメージである。図において、

1はアレー、

2は電極、

3はスクライブ・ライン、

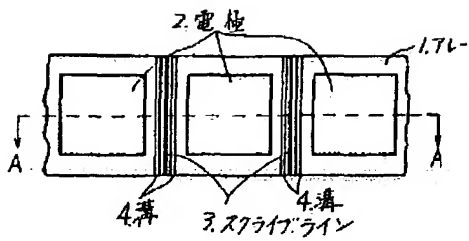
4は溝、

5は鋭角的ツール

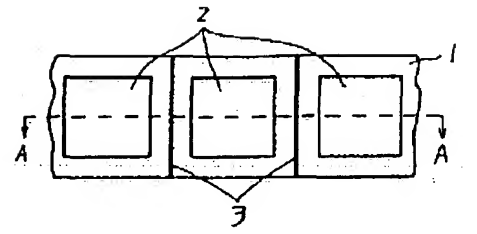
を表す。

代理人 弁理士 井桁貞一

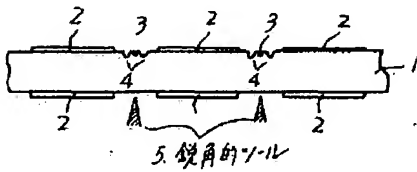




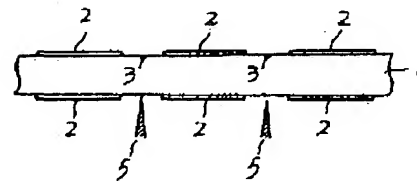
(a) 平面図



(a) 平面図



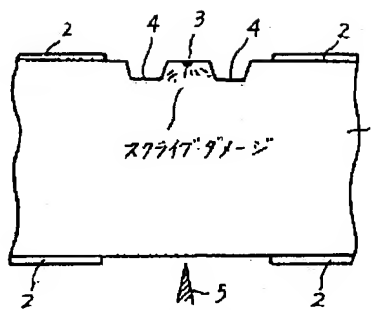
(b) A-A 断面図



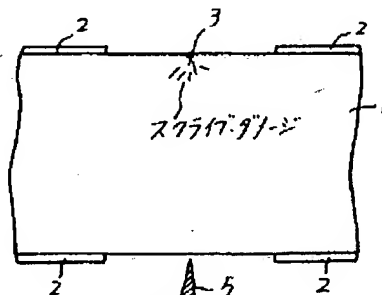
(b) A-A 断面図

本発明によるチップ化  
第 1 図

従来のチップ化  
第 2 図



(a) 本発明



(b) 従来例

スクライブ・ライン  
第 3 図